

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. März 2007 (08.03.2007)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2007/025812 A1

(51) Internationale Patentklassifikation:
H01L 21/768 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2006/064599

(22) Internationales Anmeldedatum:
24. Juli 2006 (24.07.2006)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2005 042 074.5 31. August 2005 (31.08.2005) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **FORSCHUNGSVERBUND BERLIN E.V.**
[DE/DE]; Rudower Chaussee 17, 12489 Berlin (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KRUEGER, Olaf** [DE/DE]; Malvenweg 132, 12524 Berlin (DE). **SCHOENE, Gerd** [DE/DE]; Venusstrasse 77, 12524 Berlin (DE). **JOHN, Wilfred** [DE/DE]; Regattastrasse 114, 12527 Berlin (DE). **WERNICKE, Tim** [DE/DE]; Heidenfeldstrasse 18, 10249 Berlin (DE). **WUERFL, Joachim** [DE/DE]; Ruelhlering 3, 15738 Zeuthen (DE).

(74) Anwalt: **HENGELHAUPT, Jürgen D.**; Wallstrasse 58/59, 10179 Berlin, (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

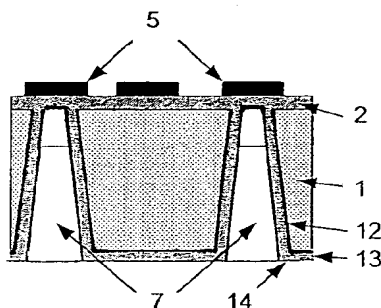
Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: METHOD FOR PRODUCING THROUGH-CONTACTS IN SEMI-CONDUCTOR WAFERS

(54) Bezeichnung: VERFAHREN ZUR ERZEUGUNG VON DURCHKONTAKTIERUNGEN IN HALBLEITERWAFERN



(57) Abstract: The invention relates to a method for producing vertical through-contacts (micro-vias) in semi-conductor wafers in order to produce semi-conductor components, i.e. contacts on the front side of the wafer through the semi-conductor wafer to the rear side of the wafer. The invention also relates to a method which comprises the following steps: blind holes on the contact connection points are laser drilled from the rear side of the wafer into the semi-conductor substrate, the wafer is cleaned, the semi-conductor substrate is plasma etched in a material selected manner until the active layer stack of the wafer is reached, the active layer stack of the wafer is plasma etched in a material selective manner until the contacts, which are to be connected to the rear side of the wafer, are reached, a plating base is applied to the rear side of the wafer and into the blind holes and gold is applied by electrodeposition onto the metallized rear side of the wafer and the blind holes.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Erzeugung von vertikalen Durchkontaktierungen (Mikro-Vias) in Halbleiterwafern zur Herstellung von Halbleiter-Bauelementen, das heißt von Kontakten auf der Wafer-Vorderseite durch den Halbleiter-Wafer hindurch zur Wafer-Rückseite. Vorgeschlagen wird ein Verfahren mit folgenden Schritten: -Laserbohren von Sacklöchern an den Kontaktverbindungsstellen von der Wafer-Rückseite her in das Halbleitersubstrat -Reinigung des Wafers -materialselektives Plasmaätzen des Halbleitersubstrates bis zum aktiven Schichtstapel des Wafers -materialselektives Plasmaätzen des aktiven Schichtstapels des Wafers bis zum Erreichen der mit der Wafer-Rückseite zu verbindenden Kontakte -Aufbringen einer Plattierbasis auf die Wafer-Rückseite und in die Sacklöcher -galvanischer Goldauftrag auf die metallisierte Wafer-Rückseite und die Sacklöcher

WO 2007/025812 A1

Verfahren zur Erzeugung von Durchkontaktierungen in Halbleiterwafern

Beschreibung

Die Erfindung betrifft ein Verfahren zur Erzeugung von vertikalen Durchkontaktierungen (Mikro-Vias, Sacklochvias oder „blind“ vias, via = vertical interconnect access) in Halbleiterwafern zur Herstellung von Halbleiter-Bauelementen, das heißt von Kontakten auf der Wafer-Vorderseite durch den Halbleiter-Wafer hindurch zur Wafer-Rückseite.

Die vollständige Ausnutzung der Eigenschaften (zum Beispiel Hochfrequenzeigenschaften) der Bauelemente kann nur durch eine immer kompaktere Integration in die Peripherie erreicht werden. Kurze vertikale Verbindungen stellen einen effizienten Weg der elektrischen Kontaktierung dar. Außerdem ist es aus physikalischen Gründen erforderlich, zur Erhöhung der Verstärkung und der maximal pro Chip verfügbaren Ausgangsleistung von Hochleistungstransistoren eine elektrisch leitende Verbindung mit niedriger Induktivität zwischen den Source-Kontakten auf der Vorderseite und der Masseelektrode auf der Rückseite herzustellen. Dies lässt sich jedoch technologisch nicht immer leicht realisieren.

Elektrisch aktives GaN-Material (Galliumnitrid) steht derzeit praktisch nicht als einkristallines Wafermaterial zur Verfügung und wird daher epitaktisch auf Substratmaterialien wie zum Beispiel SiC-Wafern (Siliciumcarbid) gewachsen.

SiC zeichnet sich durch eine sehr gute Wärmeleitfähigkeit sowie eine extrem hohe chemische Stabilität und hohe Härte aus. Für eine Rückseitenkontaktierung von GaN-Transistoren besteht also die Notwendigkeit, das Trägermaterial aus SiC sowie die darüber liegende GaN-Epitaxieschicht zu durchbohren. Für eine Strukturierung kamen bisher praktisch nur trockenchemische Ätzverfahren wie reaktives Ionenätzen in eigens dafür optimierten Hochleistungs-Plasmaätzreaktoren in Frage. Typische Plasma-Ätzraten von SiC sind aber mit 1 µm/min sehr klein. Der Einsatz der Plasmaätztechnik setzt zudem die Herstellung und lithographische Strukturierung einer widerstandsfähigen Ätzmaske voraus.

Es ist bekannt, dass sich in Leiterplatten Vias durch den Einsatz von Lasern herstellen lassen. Bei diesen Technologien werden mit dem Laser Öffnungen in die Kupfer- und Dielektrika-Schichten gebohrt und diese dann metallisiert, um elektrische Verbindungen zwischen bestimmten Lagen herzustellen. Die unterschiedlichen Lasertechnologien basieren auf dem Einsatz von CO₂-Lasern, frequenzverdoppelten (grünen) YAG-Lasern, Excimerlasern und UV:YAG-Lasern.

Die Herstellung dieser Vias ist beispielsweise beschrieben in:

- L. W. Burgess: „Introducing Via-in-Pad Blind Via Technology to Any PCB Multilayer Fabricator.“ IPC Printed Circuits Expo 1997, March 9-13, 1997, San Jose, CA, S15-2.
- A. Cable: „Improvements in High Speed Laser Microvia Formation Using Solid State Nd:YAG UV Lasers.“ IPC Printed Circuits Expo 1997, March 9-13, 1997, San Jose, CA, S17-7.

- M.D. Owen: „Via drilling.“ In: J.F. Ready, D.F. Farson (Edtrs.): LIA Handbook of laser materials processing, Laser Institute of America, Magnolia Publishing (2001) 661-665.

Für die Erzeugung von Mikro-Vias in Halbleiterwafern ist bisher keine Methode auf der Grundlage einer Lasertechnologie bekannt.

Der Erfindung liegt die Aufgabe zugrunde, ein effektives Verfahren zur Erzeugung von Mikro-Vias in Halbleiterwafern aus Materialien hoher Härte und chemischer Stabilität wie Siliciumcarbid, Saphir oder ähnlichem anzugeben.

Erfindungsgemäß wird die Aufgabe gelöst durch ein Verfahren mit den Merkmalen des Anspruchs 1. Zweckmäßige Ausgestaltungen sind Gegenstand der Unteransprüche.

Danach ist das Verfahren gekennzeichnet durch die folgenden Schritte:

- Laserbohren von Sacklöchern an den Kontaktverbindungsstellen von der Wafer-Rückseite her in das Halbleitersubstrat
- Reinigung des Wafers (Entfernung des Debris)
- materialselektives Plasmaätzen des Halbleitersubstrates bis zum aktiven Schichtstapel des Wafers
- materialselektives Plasmaätzen des aktiven Schichtstapels des Wafers bis zum Erreichen der mit der Wafer-Rückseite zu verbindenden Kontakte

- Aufbringen einer Plattierbasis auf die Wafer-Rückseite und in die Sacklöcher
- galvanischer Goldauftrag auf die metallisierte Wafer-Rückseite und die Sacklöcher

Um den Wafer während des Prozesses zu schützen, kann vorsorglich ein Schutzlack auf die Wafer-Vorderseite aufgebracht werden, der nach dem Prozess wieder entfernt wird (Ablacken).

Um ein Abdünnen des Halbleitersubstrates beim Ätzen zu vermeiden, kann die Wafer-Rückseite vor dem Laserbohren der Sacklöcher mit Indium-Zinn-Oxid (ITO) beschichtet werden, das nach dem Plasmaätzen einfach wieder entfernt werden kann.

Die Reinigung des Wafers zum Entfernen des Debris erfolgt im Falle von SiC-Substratmaterial zweckmäßig mit gepufferter Flusssäure.

Als materialselektives Ätzverfahren für das Halbleitersubstrat eignet sich bevorzugt das ICP-Ätzverfahren (inductively-coupled plasma), für den Schichtenstapel das RIE-Verfahren (reactiv ion etching).

Als Laser eignet sich ein UV-Laser, bevorzugt ein frequenzverdreifachter Nd:YAG-Laser mit einer Wellenlänge von 355 nm.

Das Aufbringen der Plattierbasis in die Mikro-Vias kann mit mehreren Methoden erfolgen. Bevorzugt wird eine Schrägbedampfung, eine chemische Badabscheidung (stromlos) oder ein Aufsputtern sind ebenfalls möglich.

Im Bedarfsfall kann auf die Goldschicht lokal an den Mikro-Vias noch eine Antibenetzungsschicht (Dewettingschicht) aufgebracht werden. Für die Dewettingschicht wird zweckmäßig Titan verwendet, das aufgesputtert werden kann. Der Auftrag der Antibenetzungsschicht erfolgt zweckmäßig mit Hilfe einer Schattenmaske.

Das Verfahren hat den Vorteil, dass Mikro-Vias in harten und chemisch inerten Substratmaterialien mit wesentlich verringertem Zeitaufwand und mit hoher Präzision erzeugt werden können.

Mit dem erfindungsgemäßen Verfahren wird die Methode der Mikromaterialbearbeitung mittels UV-Laserstrahlung in Kombination mit Plasmaätzen ausgenutzt und für die direkte Strukturierung in der Bauelementefertigung eingesetzt. Im Gegensatz zur Erzeugung von Durchgangs-Vias (oder Hohlkieten-Vias) erfolgt hier keine vollständige Durchbohrung des Materials. Durch Plasmaätzen wird das Restmaterial bis zu den Kontakten der Vorderseite materialselektiv entfernt. Der besondere Vorteil liegt darin, dass eine widerstandsfähige Ätzmaske nicht lithografisch erzeugt werden muss, sondern die lasergebohrten Löcher als Ätzmaske dienen. Wenn die Bearbeitungsseite in geeigneter Weise geschützt wird, bleibt die Materialdicke erhalten. Eine Schutzschicht, die durch den

Laser mit durchbohrt wird, verhindert in diesem Fall den flächigen Materialabtrag beim Plasmaätzen. Bei Verzicht auf die Schutzschicht, erfolgt ein großflächiger Ätzabtrag. Die damit einhergehende Abnahme der Materialdicke kann über die bekannten Ätzraten abgeschätzt werden.

Die Erfindung soll anhand eines Ausführungsbeispiels näher erläutert werden. Die zugehörigen schematischen Zeichnungen zeigen die Phasen des erfindungsgemäßen Verfahrens am Beispiel einer Erzeugung von Mikro-Vias in Siliciumcarbid (SiC) für GaN-Hochleistungs-Feldeffekttransistoren oder MMICs, und zwar in

Fig. 1 den allgemeinen Aufbau eines Wafers mit einem Durchgangsloch (Via) im Querschnitt,

Fig. 2 bis

Fig. 8 die einzelnen Schritte des Verfahrens,

Fig. 9 den Wafer mit den fertigen Mikro-Vias im Querschnitt und

Fig. 10 bis

Fig. 14 die Schritte einer zweiten Variante des Verfahrens.

In Fig. 1 ist ein Wafer mit einem Transistoraufbau im Querschnitt gezeigt. Der Wafer besteht aus einem SiC-Substrat 1 von ca. 250 bis 400 μm Dicke, auf dem ein AlGaN/GaN-

Schichtenstapel 2 von ca. 2 bis 3 μm Dicke epitaktisch aufgewachsen ist. Auf der Vorderseite des Wafers befinden sich auf dem Schichtenstapel 2 die Anschlusskontakte eines Transistors, nämlich ein Drain-Kontakt 3, ein Gate-Kontakt 4 und ein Source-Kontakt 5. Das Potential des Source-Kontakts 5 muss auf die Rückseite (Masseelektrode 6) des Wafers zurückgeführt werden, was mit Hilfe eines Mikro-Vias 7 erfolgt, dessen Lochwände 8 metallisiert sind, so dass der Source-Kontakt 5 auf der Vorderseite mit der Masseelektrode 6 auf der Rückseite des Wafers elektrisch verbunden wird.

Im Folgenden sollen die Prozessführung des erfindungsgemäßen Verfahrens und die erzielten Resultate beschrieben werden. Die Prozessfolge ist in den Fig. 2 bis 8 schematisch dargestellt. Die fertig prozessierten GaN-Transistoren oder MMICs werden im Waferverbund mit den Mikro-Vias 7 versehen. Zunächst wird auf die Wafer-Vorderseite ein Schutzlack 9 aufgebracht, um die Wafer bei den folgenden Verfahrensschritten zu schützen (Fig. 2). Anschließend wird die Rückseite großflächig mit einer 2 μm dicken Schutzschicht 10 aus Indium-Zinn-Oxid (ITO) belegt (Fig. 3). Dieser Schritt ist jedoch nur notwendig, wenn sich die Dicke des Wafers bei der Strukturierung der Mikro-Vias 7 nicht ändern soll. Diese Schutzschicht 10 dient dann als Schutz der SiC-Oberfläche beim Ätzen und wird beim nachfolgenden Bohren durch einen Laser an den Via-Eintrittsöffnungen mit entfernt. Jetzt werden mit dem Laser Sacklöcher 11 von der Rückseite des Wafers her gebohrt (Fig. 4). Zur Herstellung der gewünschten Sacklöcher 11 wird der Laserstrahl, der einen Durchmesser von ca. 15 μm hat, zweckmäßig auf dem Wafer bewegt. Die Strahlbewegung und Laserparameter lassen sich so einstellen, dass ein möglichst

ebenes Bodenprofil in der Nähe der SiC/GaN-Grenzfläche entsteht.

Lockere Partikel die sich beim Bohrprozess auf der Probe niederschlagen (Debris), werden anschließend in einem nasschemischen Reinigungsschritt entfernt. Hierzu eignet sich das Ätzen in gepufferter Flusssäure mit Ultraschall.

Die mit dem Laser vorgebohrten Sacklöcher 11 werden anschließend durch Plasmaätzen bis an die Vorderseitenkontakte trockenchemisch durchgeätzt (Fig. 5). Zweckmäßig wird das restliche SiC mittels ICP-Ätzen in fluorhaltigen Gasgemischen (zum Beispiel Schwefelhexafluorid-Sauerstoff-Helium - $\text{SF}_6\text{-O}_2\text{-He}$) entfernt. Durch Optimierung der Ätzparameter (Partialdrucke, Temperatur) lassen sich glatte Lochwände erhalten. Die Selektivität des Ätzprozesses von SiC vs. GaN ist $>100:1$, das heißt es lässt sich eine gute Homogenität der Ätzung über einen Wafer herstellen, da der Ätzprozess am GaN (Dicke ca. 2-3 μm) praktisch zum Halt kommt.

Die Entfernung der 2-3 μm dünnen Epitaxieschicht aus AlGaIn/GaN (Schichtenstapel 2) erfolgt plasmachemisch mit einem RIE-Verfahren, zum Beispiel mit Bortrichlorid-Chlor ($\text{BCl}_3\text{-Cl}_2$). Die Selektivität des trockenchemischen Ätzprozesses von GaN vs. Platin ist $>10:1$. Die Metallschicht des Vorderseitenkontaktes mit einer Gesamtdicke von ca. 5 μm wird also nur sehr langsam abgetragen, d.h. der Ätzprozess stoppt praktisch an der Metallschicht. Eine Unterätzung tritt nicht auf. Eine unter den Platinkontakten liegende Titanschicht von einigen 10 nm wird mit abgetragen.

Nach dem Ätzzvorgang kann die eventuell aufgebrachte Schicht 10 (ITO) wieder entfernt werden, was zweckmäßig mit Eisen-III-Chlorid erfolgt (Fig 6).

Auf die Wafer-Rückseite wird nachfolgend eine dünne Metallschicht 12 aufgedampft. Dabei wird nach diesem Ausführungsbeispiel durch Schrägbedampfung eine geschlossene Belegung der Lochwände erzielt. Andere Metallisierungsprozesse wie Sputtern oder eine stromlose chemische Abscheidung sind ebenfalls möglich. Die durch die Metallschicht 12 erhaltene Plattierbasis wird anschließend durch eine typisch 5 µm dicke Goldschicht 13 galvanisch verstärkt (Fig. 7). Auf diese Weise wird eine elektrische Verbindung von der einen Waferseite zur anderen Seite mit einer geschlossenen Goldschicht 13 hergestellt.

Nach dem Metallisieren erfolgt in einem weiteren Prozessschritt das Ablacken des Schutzlackes 9 (Fig. 8).

Bei Bedarf kann an den Via-Eintrittsöffnungen auf der Rückseite noch eine Antibenetzungsschicht 14 aus Titan aufgebracht werden, nämlich eine 100 nm dünne Titanschicht, die auf die vorhandene Goldschicht 13 gesputtert wird. Die Antibenetzungsschicht 14 wird mit Hilfe einer Schattenmaske strukturiert auf den Wafer aufgebracht. Die Schattenmaske besteht aus einer 0.1 mm dicken Metallfolie, in die mit dem Laser Öffnungen gebohrt werden. Das Layout der Öffnungen in der Metallfolie entspricht der Anordnung der Mikro-Vias 7 auf dem Wafer. Die Durchmesser der Öffnungen in der Schattenmaske sind etwas größer als der Eintrittsdurchmesser der Mikro-Vias 7 auf der Wafer-Rückseite, so dass sich ein etwa 40 µm breiter

Titan-Ring um die Via-Eintrittsöffnungen ausbildet. Mit Hilfe von je vier zusätzlichen Durchgangsbohrungen am Rand von Schattenmaske und Wafer werden beide Teile mittels Passstiften zueinander justiert, das heißt deckungsgleich gebracht.

Es ist anzumerken, dass das Ablacken des Schutzlacks 9 auch erst nach der Abscheidung der Antibenetzungsschicht 14 (Titan-Dewettungsschicht) erfolgen kann.

Eine schematische Darstellung der fertigen Mikro-Vias 7 im Querschnitt zeigt Fig. 9.

Auf die ITO-Maskierung der Oberfläche (Schutzschicht 10) kann auch verzichtet werden, falls eine kontrollierte Abnahme der Materialdicke beim Ätzprozess akzeptabel ist, das heißt die Schritte gemäß den Fig. 3 und 6 entfallen.

Der Prozessablauf für diesen Fall wird anhand der Fig. 10 bis 14 demonstriert. Die Prozessschritte entsprechen dann den Prozessschritten 1, 3, 4, 6 und 7 des ersten Beispiels (entsprechend den Figuren 2, 4, 5, 7 und 8).

In diesem Fall nimmt die Gesamtdicke des Wafers durch die großflächige Entfernung des SiC ab. Bei einer Ätzdauer von ca. 2 h wird der Wafer von 390 μm auf 250-300 μm abgedünnt. Am Lochboden wird eine Kantenlänge von 35-70 μm erhalten, wobei die Ecken hexagonal aufgeweitet sind. Die Lochform ist konisch mit einer deutlichen Aufweitung des Querschnittes am Eintritt, wodurch die nachträgliche Belegung der Lochwand mit Metall erleichtert wird.

Im Hinblick auf Abtragsrate, Flexibilität und Zuverlässigkeit ist ein frequenzverdreifachter Nd:YAG-Laser für die Bearbeitung des sehr harten und chemisch inerten SiC gut geeignet. Dieser Laser liefert Nanosekundenpulse mit hoher Energie im ultravioletten Spektralbereich bei einer Wellenlänge von 355 nm mit Pulsfrequenzen von bis zu 100 kHz. Der Laserstrahl wird durch Kombination der CNC-gesteuerten Bewegung des Probentisches und der Strahlablenkung mit einem Galvo-Scanner mikrometergenau bewegt. Mit Hilfe einer Bilderkennung und eines hochgenauen luftgelagerten XY-Kreuztisches kann der Laserstrahl mit einer Genauigkeit von $\pm 1 \mu\text{m}$ in bezug auf vorhandene Strukturen auf dem Werkstück positioniert werden. Diese Präzision wird auch erreicht, wenn die Laserstrukturierung auf der Rückseite erfolgt und sich die Justagemarken auf der (untenliegenden) Vorderseite befinden.

Mit dem Laser wurden Sacklöcher gebohrt, die einen quadratischen Querschnitt und einen möglichst ebenen Lochboden haben. Die Kantenlänge betrug ca. $75 \mu\text{m}$ an der Lasereintrittsöffnung, am Lochboden betrug sie ca. $15 \mu\text{m}$, ca. $40 \mu\text{m}$ SiC blieben unterhalb des Lochbodens stehen.

Es wurde ein automatisiertes Bohrverfahren verwendet, bei dem die jeweilige Bearbeitungsstelle der Probe durch präzises Verfahren des Probentisches mikrometergenau unter dem Strahlaustritt positioniert wird und der Laserstrahl dann durch ein Spiegelsystem (Galvo-Scanner) schnell auf dem Werkstück bewegt wird, wobei $250\text{--}450 \mu\text{m}$ dickes SiC verwendet wurde. Im Rasterelektronenmikroskop lässt sich gut erkennen, dass die lasergebohrten Löcher leicht konisch sind und sich eine glatte Wand mit wenig Ablagerungen erzeugen lässt.

Widerstandsmessungen an einer SiC-Probe belegen, dass sich eine niederohmige Verbindung zwischen beiden Seiten herstellen lässt. Dazu wurden Proben vor der Via-Prozessierung zunächst auf einer Seite ganzflächig mit einer 5 μm dicken Goldschicht metallisiert. Von der anderen Seite wurde wie oben beschrieben eine Matrix von Vias erzeugt. Der Lochabstand betrug 500 μm . Vor der Messung des Widerstandes durch ein einzelnes Loch mussten die einzelnen Löcher dann noch elektrisch voneinander separiert werden. Dazu wurde die Goldschicht durchtrennt (geritzt), um 500x500 μm^2 große Felder mit je einem Via zu erhalten. Es konnte gezeigt werden, dass die Kontaktierung durch die SiC-Probe hindurch mit guter Reproduzierbarkeit und sehr homogen realisiert wurde. Die Widerstandswerte liegen bei 25-31 m Ω . Der Mittelwert über die 206 Mikro-Vias liegt bei 27 \pm 2 m Ω . Die realisierten Hohlknoten haben ein Aspektverhältnis von 3-4.

In Tests an aufgebauten Transistoren verschiedenen Typs wurde die Funktionstüchtigkeit der Bauelemente nachgewiesen. Anhand der Transistor-Kennlinien wurde der Nachweis für die erfolgreiche Implementierung des Laserbohrns von Mikro-Vias in die GaN-Prozesstechnologie geführt.

Die technologischen Untersuchungen zeigen die Machbarkeit von lasergebohrten Mikro-Vias durch einkristallines SiC-Wafermaterial für GaN-Hochleistungs-Feldeffekttransistoren. Es konnte nachgewiesen werden, dass sich die Lasermikrostrukturierung in die Bauelemente-Prozesstechnologie erfolgreich implementieren lässt.

Voraussetzung für die Anwendung der Laser-Mikrobearbeitung in der Prozessierung von Halbleiter-Wafern ist eine hohe Positioniergenauigkeit des Strahlmittelpunktes von $\pm 1\mu\text{m}$ und besser. Diese Genauigkeit bezieht sich auf die Strahlpositionierung relativ zu vorhandenen Bauelementestrukturen und muss sowohl bei der Bearbeitung von der Vorderseite wie auch von der Rückseite erzielt werden.

Die Erfindung ermöglicht Durchkontaktierungen durch das sehr harte und chemisch beständige Siliciumcarbid. Ein Aspektverhältnis von 3-4 wurde hierfür demonstriert.

Bezugszeichenliste

- 1 SiC-Substrat
- 2 AlGaN/GaN-Schichtenstapel
- 3 Drain-Kontakt
- 4 Gate-Kontakt
- 5 Source-Kontakt
- 6 Masseelektrode
- 7 Mikro-Via
- 8 Lochwand
- 9 Schutzlack
- 10 Schutzschicht (ITO)
- 11 Sacklöcher
- 12 Metallschicht
- 13 Goldschicht
- 14 Antibenetzungsschicht

Patentansprüche

1. Verfahren zur Erzeugung von vertikalen Durchkontaktierungen zur Herstellung von Halbleiter-Bauelementen, das heißt von Kontakten auf der Wafer-Vorderseite durch den Halbleiter-Wafer hindurch zur Wafer-Rückseite,

gekennzeichnet durch die folgenden Schritte:

- Laserbohren von Sacklöchern an den Kontaktverbindungsstellen von der Wafer-Rückseite her in das Halbleitersubstrat
- Reinigung des Wafers
- materialselektives Plasmaätzen des Halbleitersubstrates bis zum aktiven Schichtstapel des Wafers
- materialselektives Plasmaätzen des aktiven Schichtstapels des Wafers bis zum Erreichen der mit der Wafer-Rückseite zu verbindenden Kontakte
- Aufbringen einer Plattierbasis auf die Wafer-Rückseite und in die Sacklöcher
- galvanischer Goldauftrag auf die metallisierte Wafer-Rückseite und die Sacklöcher

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass vor dem Laserbohren der Sacklöcher auf die Wafer-Vorderseite ein Schutzlack aufgebracht wird, der nach dem Goldauftrag wieder entfernt wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass

die Wafer-Rückseite vor dem Laserbohren der Sacklöcher mit Indium-Zinn-Oxid (ITO) beschichtet wird, das nach dem Goldauftrag wieder entfernt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass

die Reinigung nasschemisch mittels gepufferter Flusssäure erfolgt.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass

abschließend im Bereich der Eintrittsöffnungen der Durchgangslöcher an der Wafer-Rückseite eine Antibenetzungsschicht aufgebracht wird.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass für die Antibenetzungsschicht Titan verwendet wird.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass die Antibenetzungsschicht aufgesputtert wird.

8. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass
der Auftrag der Antibenetzungsschicht mit Hilfe einer Schattenmaske erfolgt.

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
zum Laserbohren ein UV-Laser verwendet wird.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
der Auftrag der Plattierbasis durch Schrägaufdampfen erfolgt.

11. Verfahren nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass
der Auftrag der Plattierbasis durch Sputtern erfolgt.

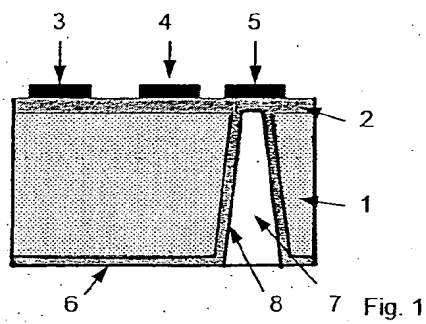
12. Verfahren nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass
der Auftrag der Plattierbasis durch chemische Badabscheidung erfolgt.

13. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
zum Laserbohren ein Laser benutzt wird, dessen Strahl kleiner ist als die Querschnittsfläche des zu erzeugenden Sackloches, wobei der Strahl über den Bereich des Sackloches bewegt wird.

14. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
das Plasmaätzen des Halbleitersubstrates durch ICP-Ätzen erfolgt.

15. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
das Plasmaätzen des aktiven Schichtenstapels durch RIE-Ätzen erfolgt.

1/5



2/5

1. Aufbringen Schutzlack

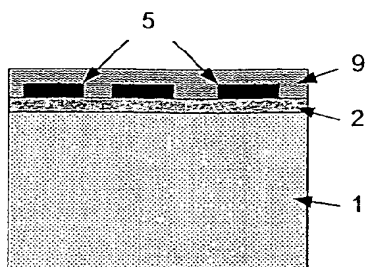


Fig. 2

2. Aufbringen des Rückseiten-Schutzes

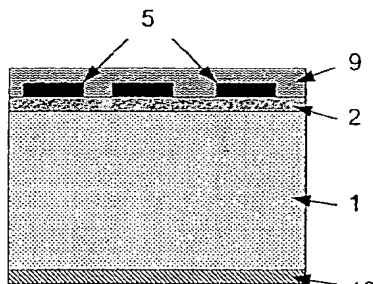


Fig. 3

3. Laserbohren von Rückseite

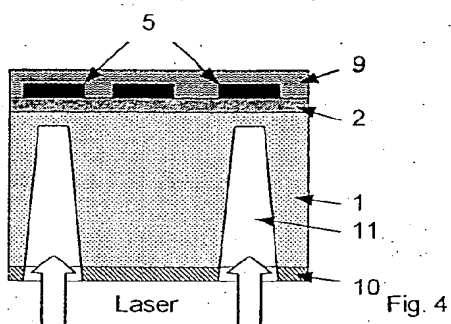


Fig. 4

4. Plasmaätzen bis an Kontaktflächen

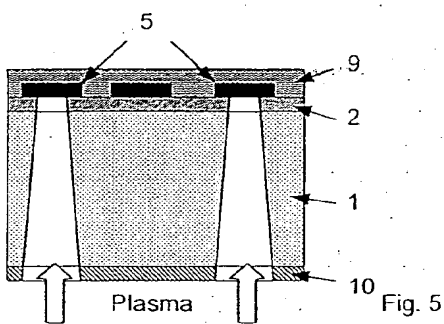


Fig. 5

5. Entfernung des Rückseiten-Schutzes

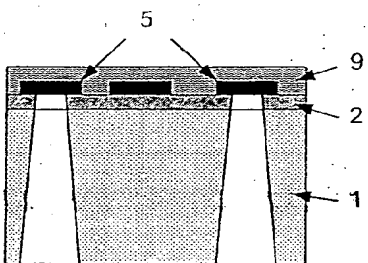


Fig. 6

6. Metallisierung

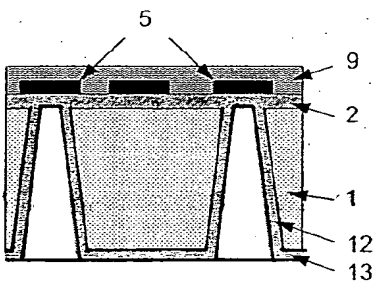


Fig. 7

3/5

7. Entfernung des Schutzlackes

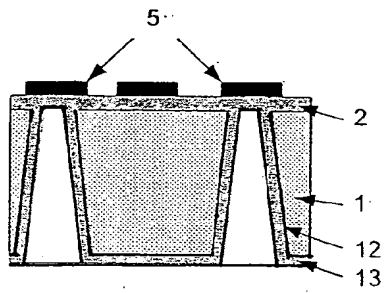


Fig. 8

4/5

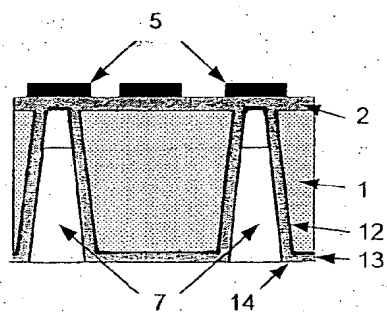


Fig. 9

5/5

1. Aufbringen Schutzlack

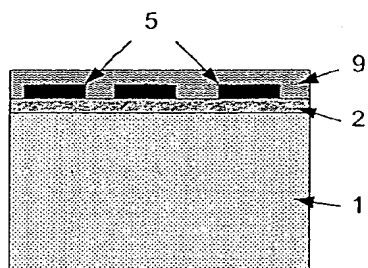


Fig. 10

2. Laserbohren von Rückseite

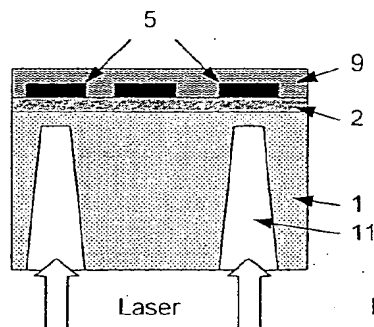


Fig. 11

3. Plasmaätzen bis an Kontaktflächen

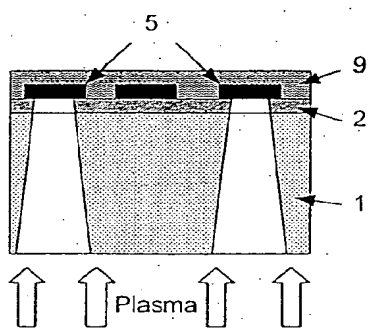


Fig. 12

4. Metallisierung

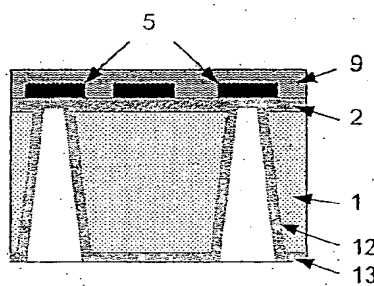


Fig. 13

5. Entfernung des Schutzlackes

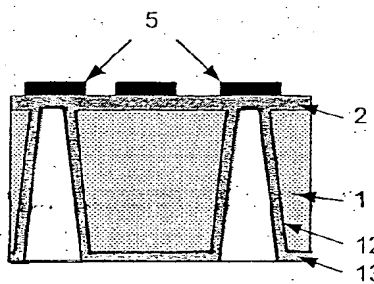


Fig. 14

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2006/064599

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2001/035580 A1 (KAWAI HIROJI [JP]) 1 November 2001 (2001-11-01) paragraphs [0073] - [0083]; figures 12,13 -----	1-15
A	KIM ET AL.: "SiC Via Holes by Laser Drilling" JOURNAL OF ELECTRONIC MATERIALS, vol. 33, no. 5, May 2004 (2004-05), pages 477-480, XP008070388 the whole document -----	1-15
A	US 2004/188819 A1 (FARNWORTH WARREN M [US] ET AL) 30 September 2004 (2004-09-30) paragraphs [0086] - [0091]; figures 3E-G -----	1-15
A	US 2004/072422 A1 (SINHA NISHANT [US]) 15 April 2004 (2004-04-15) paragraph [0027] -----	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

23 October 2006

Date of mailing of the international search report

31/10/2006

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Ploner, Guido

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2006/064599

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2001035580	A1	01-11-2001	NONE	
US 2004188819	A1	30-09-2004	US 2004256734 A1	23-12-2004
			US 2005046038 A1	03-03-2005
US 2004072422	A1	15-04-2004	US 2005247943 A1	10-11-2005

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2006/064599

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L21/768

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2001/035580 A1 (KAWAI HIROJI [JP]) 1. November 2001 (2001-11-01) Absätze [0073] - [0083]; Abbildungen 12,13	1-15
A	KIM ET AL.: "SiC Via Holes by Laser Drilling" JOURNAL OF ELECTRONIC MATERIALS, Bd. 33, Nr. 5, Mai 2004 (2004-05), Seiten 477-480, XP008070388 das ganze Dokument	1-15
A	US 2004/188819 A1 (FARNWORTH WARREN M [US] ET AL) 30. September 2004 (2004-09-30) Absätze [0086] - [0091]; Abbildungen 3E-G	1-15
A	US 2004/072422 A1 (SINHA NISHANT [US]) 15. April 2004 (2004-04-15) Absatz [0027]	1-15



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

23. Oktober 2006

Absendedatum des internationalen Recherchenberichts

31/10/2006

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Ploner, Guido

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2006/064599

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2001035580	A1	01-11-2001	KEINE		
US 2004188819	A1	30-09-2004	US	2004256734 A1	23-12-2004
			US	2005046038 A1	03-03-2005
US 2004072422	A1	15-04-2004	US	2005247943 A1	10-11-2005